



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07135368 A**(43) Date of publication of application: **23.05.95**

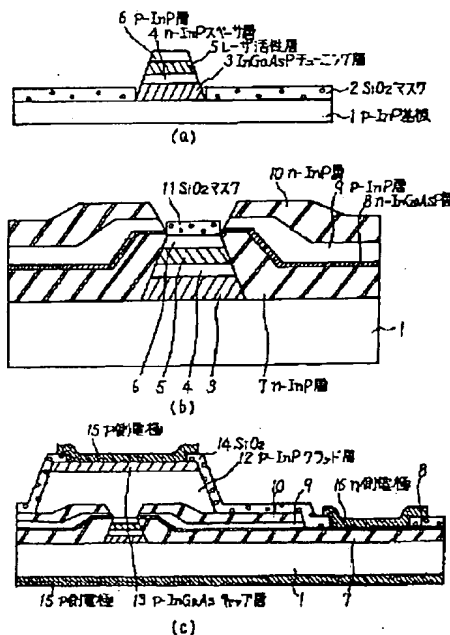
(51) Int. Cl.

H01S 3/18(21) Application number: **05282239**(71) Applicant: **NEC CORP**(22) Date of filing: **11.11.93**(72) Inventor: **SAKATA YASUTAKA****(54) FABRICATION OF VARIABLE WAVELENGTH SEMICONDUCTOR LASER****(57) Abstract:**

PURPOSE: To enhance the current confinement effect by providing a ridge waveguide structure fabricated through selective growth additionally with a pn current block structure or a high resistance current block structure.

CONSTITUTION: After forming a diffraction grating on a p-InP substrate 1, a pair of SiO₂ masks 2 are patterned and then an InGaAsP tuning layer 3, an n-InP spacer layer 4, a laser active layer 5, and a p-InP layer 6 are grown selectively in that region. After removing the SiO₂ mask 2, an SiO₂ mask 11 is patterned on a ridge waveguide grown selectively and then an n-InGaAsP layer 8, a p-InP layer 9, and an n-InP layer 10 are grown while being embedded. After removing the SiO₂ mask 11, a p-InP clad layer 12 and a p-InGaAs cap layer 13 are grown selectively on the ridge waveguide and InP is removed by etching from the n-side electrode 16 thus obtaining a high optical output pn current block structure.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135368

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-282239

(22) 出願日 平成5年(1993)11月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 阪田 康隆

東京都港区芝五丁目7番1号 日本電気株式会社内

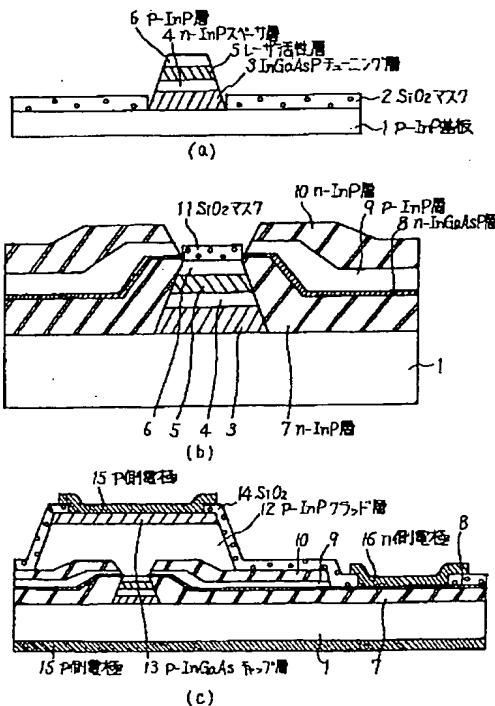
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 波長可変半導体レーザの製造方法

(57) 【要約】

【目的】 二重導波路型波長可変半導体レーザ (TTGレーザ) のチューニング層あるいはレーザ活性層にブロック構造を付加することにより、波長可変幅の拡大あるいは、光出力の向上を図る。

【構成】 MOVPE選択成長により作製したリッジ導波路構造の両脇へ、pn電流ブロック構造もしくは、高抵抗電流ブロック構造を付加する。活性層が上側にある構造では、この活性層に対して電流ブロック構造となるので、高電流注入時にも漏れ電流を抑制できるため高光出力動作が可能となる。チューニング層が上側にある構造では、このチューニング層に対して電流ブロック構造となるので、チューニング電流を効率よくチューニング層へ注入できるため、波長可変幅の拡大が可能となる。



1

【特許請求の範囲】

【請求項1】 第一導電型半導体層上に回折格子を形成する工程と、前記回折格子を形成した第一導電型半導体層上の一部領域に選択成長を行うためのマスクをストライプ状にパターニングし、前記マスクのない領域に少なくともチューニング層と第二導電型半導体層と活性領域層とを選択的にエピタキシャル成長する工程と、前記マスクを除去する工程と、前記選択成長により形成したメサ上面に成長を阻止するためのマスクを形成する工程と、前記マスクのない領域に少なくとも第二導電型半導体層と第一導電型半導体層と第二導電型半導体層とをエピタキシャル成長する工程とを含むことを特徴とする波長可変半導体レーザの製造方法。

【請求項2】 第一導電型半導体層上に回折格子を形成する工程と、前記回折格子を形成した第一導電型半導体層上の一部領域に選択成長を行うためのマスクをストライプ状にパターニングし、前記マスクのない領域に少なくともチューニング層と第二導電型半導体層と活性領域層とを選択的にエピタキシャル成長する工程と、前記マスクを除去する工程と、前記選択成長により形成したメサ上面に成長を阻止するためのマスクを形成する工程と、前記マスクのない領域に少なくとも第二導電型半導体層と高抵抗半導体層をエピタキシャル成長する工程とを含むことを特徴とする波長可変半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、波長可変半導体レーザの製造方法に関する。

【0002】

【従来の技術】 光通信の分野において、通信容量および中継距離の拡大を図るための技術開発はめざましいものがある。なかでも光ヘテロダイン検波、光ホモダイン検波といったコヒーレント光通信方式は高い感度を有し、そこでは、例えば受信器の局部発振光源として、発振周波数のチューニングという機能をもった半導体レーザ（波長可変レーザ）が要求される。また、強度変調された異なる波長の光信号を、一本の光ファイバーに多重化することで通信容量の拡大を図る波長多重通信方式においては、通信光源として波長可変レーザが要求される。

【0003】 従来、波長可変レーザの主なものとして、分布帰還型（DFB）レーザ、分布反射型（DBR）レーザ、チューナブル二重導波路型（TTG）レーザが報告されている。このうちAppl. Phys. Lett. 54 (25), 2535頁以後でAmannらによって報告されているTTGレーザは、その構造上一つのチューニング電流でもって単一モード発振を維持したまま、最大屈折率変化量で決まる波長可変幅いっぱい波長を変えることができる特徴を持つ。波長可変の源である屈折率変化は、電流注入により導波路層に蓄えられた

2

キャリアにより生ずるプラズマ効果によって引き起こされる。そのため、いかに効果的にチューニング電流を、波長可変を引き起こすチューニング領域に閉じ込めることができるかが、波長可変幅を決定する大きな要因となる。図4のTTGレーザの断面図に示すように、従来、TTGレーザの電流閉じ込め構造の製造方法では、回折格子を形成したp-InP基板41上全面にp型InGaAsP光ガイド層42、活性層43、型InPコンタクト層44、n型InGaAsPチューニング層45、p型InPクラッド層46、p⁺-InGaAsキャップ層47を成長した後、レーザ部分以外をメサ型にエッチングで除去し、その除去した領域をnコンタクト層となるn型InP層48で埋め込んで作製していた。

【0004】 また、1993年電子情報通信学会春季大会、C-166、4-202頁で阪田らによって報告されているTTGレーザを図3に示す。この場合MOVPE選択成長により、InGaAsPチューニング層32、n-InPコンタクト層33、活性層34、p-InPクラッド層36の一部を形成した後、選択成長層の上面に成長阻止マスクを形成し、n-InP層35で埋め込むことによって、電流閉じ込め構造を作製している。

【0005】

【発明が解決しようとする課題】 上述した2つの従来の製造方法では、チューニング層及び活性層への電流閉じ込めは、InPとInGaAsPの拡散電位差のみによって実現しているため、漏れ電流が発生し易くなる。チューニング層に対して漏れ電流が発生した場合、有効にチューニング層へキャリアがたまらない状態となり、プラズマ効果による屈折率変化を十分に引き起こせなくなる。また、発熱の原因ともなり、この両方の影響で波長可変幅が狭くなるという問題がある。一方、活性層に対して漏れ電流が発生した場合、光出力の飽和現象を引き起こすため、高出力動作ができないという問題がある。

【0006】

【課題を解決するための手段】 本発明の半導体レーザの第一番目の製造方法は、第一導電型半導体層上に回折格子を形成する工程と、前記回折格子を形成した第一導電型半導体層上一部領域に選択成長を行うためのマスクをストライプ状にパターニングし、前記マスクのない領域に少なくともチューニング層と第二導電型半導体層と活性領域層とを選択的にエピタキシャル成長する工程と、前記マスクを除去する工程と、前記選択成長により形成したメサ上面に成長を阻止するためのマスクを形成する工程と、前記マスクのない領域に少なくとも第二導電型半導体層と第一導電型半導体層と第二導電型半導体層とをエピタキシャル成長する工程とを含むことを特徴とする。

【0007】 第二番目の製造方法は、第一導電型半導体層上に回折格子を形成する工程と、前記回折格子を形成

した第一導電型半導体層上一部領域に選択成長を行うためのマスクをストライプ状にパターニングし、前記マスクのない領域に少なくともチューニング層と第二導電型半導体層と活性領域層とを選択的にエピタキシャル成長する工程と、前記マスクを除去する工程と、前記選択成長により形成したメサ上面に成長を阻止するためのマスクを形成する工程と、前記マスクのない領域に少なくとも第二導電型半導体層と第一導電型半導体層と第二導電型半導体層とをエピタキシャル成長する工程とを含むことを特徴とする。

【0008】

【作用】本発明の製造方法では、選択成長により作製した光導波路構造へ、pn電流ブロック層あるいは、高抵抗電流ブロック層を付加することにより電流閉じ込め効果を大きくすることができる。チューニング層側へ電流ブロック層を付加した場合、チューニング層への電流閉じ込め効率が高くなり、その結果注入電流による屈折率変化を大きく引き出せるため、波長可変幅が拡大される。活性層側へ電流ブロック層を付加した場合、高電流注入時にも漏れ電流が抑えられるため、高光出力動作が可能となる。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1(a)～(c)は本発明の製造方法の第1の実施例を示す断面図である。図1(a)に示す様に、p-InP基板1上に回折格子を形成(図面には現れていない)した後、一対のSiO₂マスク2を間隔2μmでパターニングし、この2μmの領域へ、MOVPEによりInGaAsPチューニング層3を0.25μm、n-InPスペーサ層4を0.1μm、(InGaAs(厚さ7nm, 5層)/InGaAsP(厚さ6nm, 発光波長組成1.2μm))MQWレーザ活性層5、p-InP層6を0.3μm連続的に選択成長する。次にSiO₂マスク2を除去した後、図1(b)に示す様に、選択成長で形成したリッジ導波路上にSiO₂マスク11をパターニングし、MOVPEによりn-InP層を0.4μm、n-InGaAsP層8を0.05μm、p-InP層9を0.3μm、n-InP層10を0.4μm埋め込み成長する。最後に図1(c)に示す様に、SiO₂マスク11を除去した後、p-InPクラッド層12を1.5μm、p-InGaAsキャップ層13を0.2μmリッジ導波路上部に選択成長したのち、n側電極16形成部分のInPをHCl系エッチング液により除去し、電極形成プロセスを経てTTGレーザを作製した。

【0010】図2(a), (b)を用いて本発明の第2の実施例を説明する。上述の図1(a)と同様なリッジ導波路構造を形成したのち、SiO₂マスク2を除去する。次に図2(a)に示すように、リッジ導波路上にSiO₂マスク24をパターニングし、MOVPEにより

n-InP層(厚さ0.4μm)21、n-InGaAsP層(厚さ0.1μm)2、Feドープ高抵抗InP層(厚さ0.5μm)23で埋め込み成長を行なう。最後に図2(b)に示すように、SiO₂マスク24を除去し、p-InPクラッド層(厚さ1.5μm)25、p-InGaAsキャップ層(厚さ0.5μm)26をリッジ導波路上部に選択成長したのち、第1の実施例と同様の電極形成プロセスを経てTTGレーザを完成した。なお、第1の実施例、第2の実施例ともに、最初のMOVPE選択成長において、チューニング層3とレーザ活性層5の位置関係を反転させることも可能である。

【0011】以上のようにして作製したTTGレーザを評価したところ、第1の実施例、第2の実施例ともに、発振しきい値20mA、光出力30mW以上であった。またチューニング電流を0から50mAまで流すことにより、光出力20mW以上を維持したまま、最大10nmの連続チューニング特性が得られた。またチューニング層とレーザ活性層の位置関係を反転させた構造では、発振しきい値20mA、光出力20mW以上であった。またチューニング電流を0から25mAまで流すことにより、光出力15mW以上を維持したまま、最大12nmの連続チューニング特性が得られた。

【0012】

【発明の効果】以上説明したように、本発明はTTGレーザにおいて以下のような利点を有する。選択成長により作製した光導波路構造へ、pn電流ブロック層あるいは、高抵抗電流ブロック層を付加することにより電流閉じ込め効果を大きくすることができる。チューニング層側へ電流ブロック層を付加した場合、チューニング層への電流閉じ込め効率が高くなり、その結果注入電流による屈折率変化を大きく引き出せるため、波長可変幅が拡大される。活性層側へ電流ブロック層を付加した場合、高電流注入時にも漏れ電流が抑えられるため、高光出力動作が可能となる。

【図面の簡単な説明】

【図1】(a)～(c)は、本発明の波長可変半導体レーザの第1の実施例の製造工程を示す断面図である。

【図2】(a), (b)は、本発明の波長可変半導体レーザの第2の実施例の製造工程を示す断面図である。

【図3】従来の二重導波路型波長可変半導体レーザを示す断面図である。

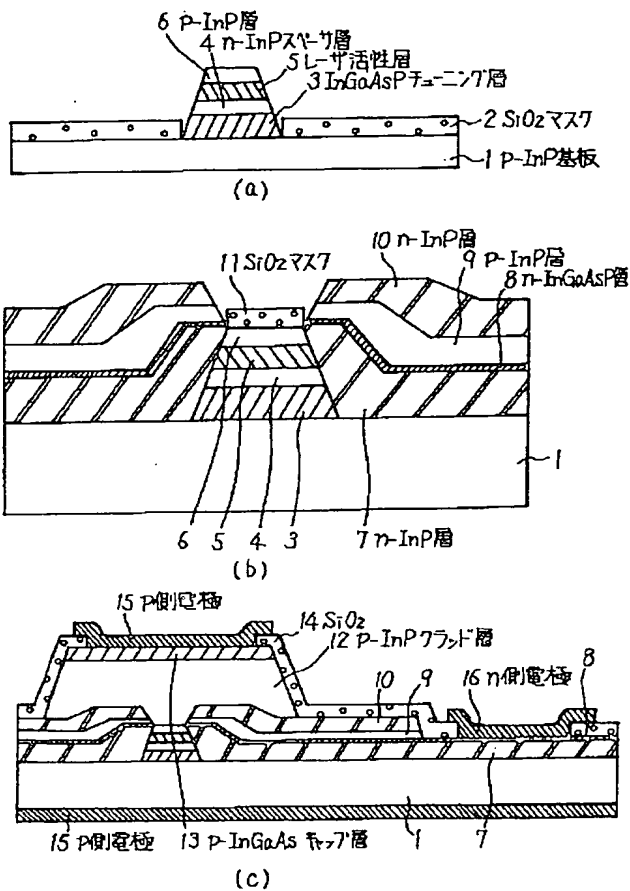
【図4】従来の他の二重導波路型波長可変半導体レーザを示す断面図である。

【符号の説明】

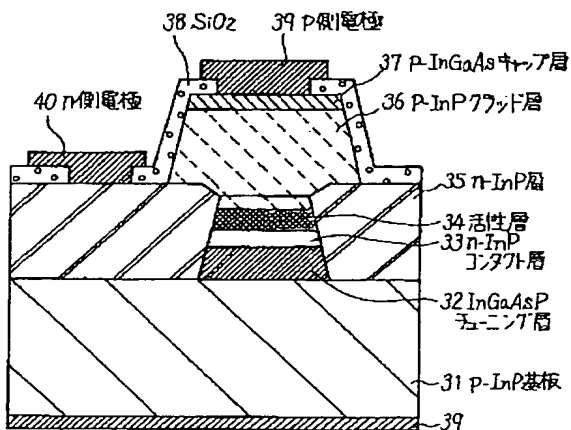
- | | |
|-----------|----------------------|
| 1, 31, 41 | p-InP基板 |
| 2, 11, 24 | SiO ₂ マスク |
| 3, 32, 45 | InGaAsチューニング層 |
| 4 | n-InPスペーサ層 |
| 5 | MQWレーザ活性層 |
| 6, 9 | p-InP層 |

5
7, 10, 21, 35, 45, 48 n-InP層
8, 22 n-InGaAsP層
12, 25, 36, 46 p-InPクラッド層
13, 26, 37 p-InGaAsキャップ層
14, 27, 38, 49 SiO₂
15, 28, 39, 50 p側電極

【図1】

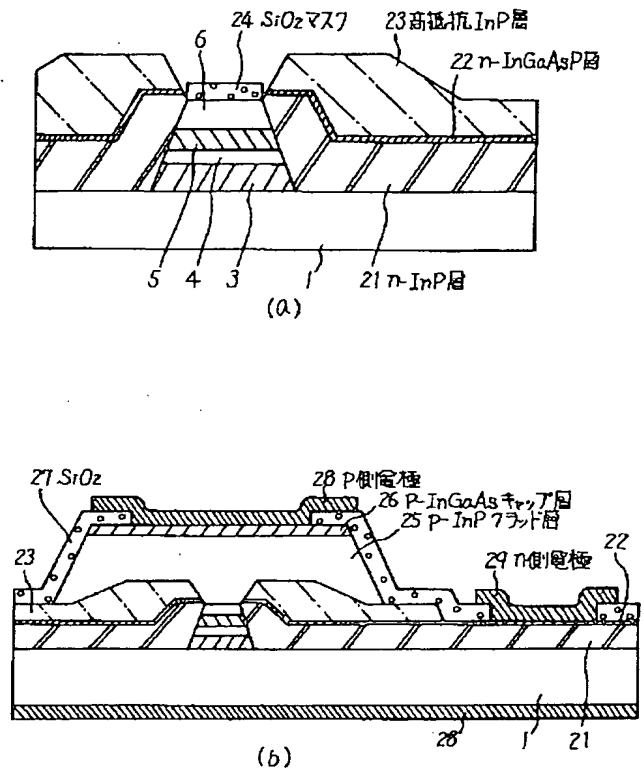


【図3】



6
16, 29, 40, 51 n側電極
23 Feドープ高抵抗InP層
33, 44 n-InPコンタクト層
34, 43 活性層
42 p-InGaAsP光ガイド層
47 p'-InGaAsキャップ層

【図2】



【図4】

